

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 02-015675

(43) Date of publication of application : 19.01.1990

(51) Int.CI. H01L 29/784
H01L 27/12

(21) Application number : 63-165512

(71) Applicant : FUJITSU LTD

(22) Date of filing : 01.07.1988

(72) Inventor : MATSUOKA HIDETATSU

SUKEGAWA KAZUO

SHIRASAKI MASAHIRO

IWAI SO

IIZUKA JUNICHI

TAKAO YOSHIHIRO

(54) FIELD EFFECT TRANSISTOR AND MANUFACTURE THEREOF

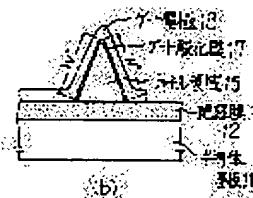
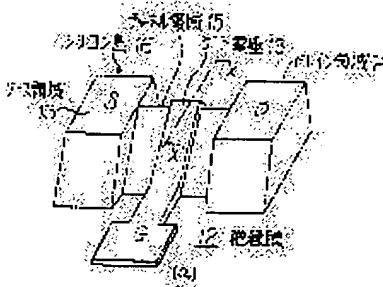
(57) Abstract:

PURPOSE: To prevent a field effect transistor from decreasing in conductance even if it is micronized by a method wherein a channel region is formed into a shape that it is a triangle in section.

CONSTITUTION: A silicon island 16, composed of a source region 13, a drain region 14 and a channel region 15, is formed on an insulating film 12 formed on a semiconductor substrate 11, and a gate electrode 18 is formed on the channel region 15 through the intermediary of a gate oxide film 17.

The channel region 15 is formed into a trigonal prism structure whose cross section is a triangle and which bridges the gap between the source region 13 and the drain region 14.

The gate oxide film 17 is formed on two side faces of the channel region 15 of a trigonal prism. And,



the gate electrode 18 is so formed on the gate oxide film 17 as to wrap two side faces of the channel region 15. Therefore, even if the channel region 15 is made small in plane dimension, a substantial channel width W can be made large enough, so that a field effect transistor can be prevented from decreasing in conductance even if it is micronized.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平2-15675

⑬ Int. Cl.⁵

H 01 L 29/784
27/12

識別記号

序内整理番号

⑭ 公開 平成2年(1990)1月19日

7514-5F

8624-5F

H 01 L 29/78

311 H

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 電界効果トランジスタ及びその製造方法

⑯ 特願 昭63-165512

⑰ 出願 昭63(1988)7月1日

⑱ 発明者 松岡 秀達 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発明者 助川 和雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 発明者 白崎 正弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉒ 代理人 弁理士 弁橋 寛一 外2名

最終頁に続く

明細書

1. 発明の名称

電界効果トランジスタ及びその製造方法

2. 特許請求の範囲

1. 相対するソース領域とドレイン領域間にチャネル領域が形成され、前記チャネル領域上にゲート絶縁膜を介してゲート電極が形成された電界効果トランジスタにおいて、前記チャネル領域はほぼ三角柱形状をしており、前記ゲート電極が前記チャネル領域の三角柱の側面上に前記ゲート絶縁膜を介して形成されていることを特徴とする電界効果トランジスタ。

2. 請求項1記載の電界効果トランジスタにおいて、三角柱形状のチャネル領域の底部の幅が、この三角柱形状チャネル領域の一側面の幅よりも狭く形成されてなることを特徴とする電界効果トランジスタ。

3. 絶縁層上のシリコン層にソース領域、ド

レイン領域及びチャネル領域を形成するため所定形状のレジストを形成する工程と、

前記レジストをマスクとして異方性エッチングと等方性エッチングを行い、ソース領域、ドレイン領域及びほぼ三角柱形状のチャネル領域を形成する工程と、

陽極電圧制御のため、前記チャネル領域上からほぼ垂直にイオン注入して前記チャネル領域の三角柱形状の2つの側面に不純物を添加する工程と、

前記チャネル領域の三角柱形状の2つの側面にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と

を有することを特徴とする電界効果トランジスタの製造方法。

3. 発明の詳細な説明

[摘要]

電界効果トランジスタ及びその製造方法に関し、

微細化しても実質的にチャネル領域の幅を広くとることができると記載された電界効果トランジスタ及びその製造方法を提供することを目的とし、

相対するソース領域とドレイン領域間にチャネル領域が形成され、前記チャネル領域上にゲート絶縁膜を介してゲート電極が形成された電界効果トランジスタにおいて、前記チャネル領域はほぼ三角柱形状をしており、前記ゲート電極が前記チャネル領域の三角柱の側面上に前記ゲート絶縁膜を介して形成されるよう構成する。

【産業上の利用分野】

本発明は電界効果トランジスタ及びその製造方法に関する。

近年、半導体装置はますます高集積化と高機能化が要求されている。半導体装置は多数の電界効果トランジスタから構成されているため、個々の電界効果トランジスタの微細化が求められている。しかし、電界効果トランジスタは半導体装置の基本要素であるためその性能を低下させることなく

微細化する必要がある。

【従来の技術】

従来の電界効果トランジスタにおいては、バルクのシリコン基板表面に形成されたものでも、絶縁膜上に形成されたシリコン層に形成されたものでも、ソース領域とドレイン領域間の表面にチャネル領域が形成され、電流が流れようになつてゐる。

例えば、S O I (Silicon On Insulator)形の電界効果トランジスタは、第4図(a)に示すように、半導体基板1上に形成された絶縁膜2にソース領域3、ドレイン領域4、チャネル領域5であるシリコン島6が形成され、チャネル領域5上にはゲート絶縁膜7を介してゲート電極8が形成されている。

シリコン島6の厚さW₁はチャネル領域5の幅Wに比べて遙かに小さいため、実際に電流が流れるチャネル領域5はほとんどシリコン島6の上面に限られていた。

【発明が解決しようとする課題】

したがって、半導体装置の微細化が進み電界効果トランジスタ当りのシリコン島5の面積が小さくなると、チャネル領域5の幅Wが狭くなり、コンダクタنسが低下して電界効果トランジスタの性能が低下するという問題があつた。このため電界効果トランジスタの性能をある程度以上に保持するためには、チャネル領域5の寸法を一定程度以上大きくしなければならず、半導体装置の微細化にも限度があつた。

本発明は上記事情を考慮してなされたもので、微細化しても実質的にチャネル領域の幅を広くとることができると記載された電界効果トランジスタ及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

上記目的は、相対するソース領域とドレイン領域間にチャネル領域が形成され、前記チャネル領域上にゲート絶縁膜を介してゲート電極が形成さ

れた電界効果トランジスタにおいて、前記チャネル領域はほぼ三角柱形状をしており、前記ゲート電極が前記チャネル領域の三角柱の側面上に前記ゲート絶縁膜を介して形成されていることを特徴とする電界効果トランジスタによって達成される。

また、上記目的は、絶縁層上のシリコン層にソース領域、ドレイン領域及びチャネル領域を形成するため既定形状のレジストを形成する工程と、前記レジストをマスクとして異方性エッチングと等方性エッチングを行い、ソース領域、ドレイン領域及びほぼ三角柱形状のチャネル領域を形成する工程と、圧縮電気炉のため、前記チャネル領域上からほぼ垂直にイオン注入して前記チャネル領域の三角柱形状の2つの側面に不純物を添加する工程と、前記チャネル領域の三角柱形状の2つの側面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程とを有することを特徴とする電界効果トランジスタの製造方法によって達成される。

【作用】

本発明は以上のようにチャネル領域がほぼ三角柱形状をしており、前記ゲート電極が前記チャネル領域の三角柱の側面上に前記ゲート絶縁膜を介して形成されているので、電流は三角柱の両側面の領域で制御される。

【実施例】

本発明の一実施例による電界効果トランジスタを第1図に示す。

本実施例はSOI形の電界効果トランジスタである。第1図(a)に示すように半導体基板11上に形成された絶縁膜12にソース領域13、ドレイン領域14、チャネル領域15であるシリコン島16が形成され、チャネル領域15上にはゲート酸化膜17を介してゲート電極18が形成されている。

本実施例ではシリコン島16が比較的厚く形成され、チャネル領域15が断面がほぼ三角形の三方柱構造であり、ソース領域13とドレイン領域

り短く形成し、段階が大きく潰れた場合でも実質的にチャネルとして働くのは側面のみとする点ともできる。

したがって、本実施例によれば、チャネル領域15の平面的寸法を小さくしても、実質的なチャネル幅Wは十分な大きさをとることができ、微細化しても電界効果トランジスタのコンダクタансの低下を防ぐことができる。また、チャネル領域15の三方柱の断面の幅が最大空乏層幅X4の2倍より短ければ、反転チャネルが側面に形成されたときには三角柱内部がすべて空乏層となるので、ドレイン領域14から発する電気力線はゲート下部に侵入しない。したがって、チャネル電源は常にゲート電圧により制御されることになり、ショートチャネル効果は発生しない。

次に本発明の一実施例による電界効果トランジスタの製造方法を第2図を用いて説明する。

まず、半導体基板11上に形成された絶縁膜12上に、シリコン層19を堆積してSOI構造を形成する。例えば、シリコン基板11を熱酸化し

14を複数しするように形成されている点に特徴がある。

なお、本発明明細書において「三角柱」とは、断面が厳密に三角形の場合だけでなく、断面がほぼ三角形の場合をも含むものである。例えば、「三角柱」の側面が平西でなく曲面の場合や、「三角柱」の段階が深でなく少し潰れて太くなっている場合も含まれる。

第1図(b)に示すように三角柱形状であるチャネル領域15の2つの側面上にゲート酸化膜17が形成されている。ゲート電極18は、第1図(c)に示すようにゲート酸化膜17上にチャネル領域15の2つの側面を包むように形成されている。このため、電流は三角柱形状の2つの側面で制御され、チャネル領域15の実質的な幅Wは、側面の幅を第1図(d)に示すようにW'とする。

$$W = W' + W'' = 2W'$$

となる。

また、上記のように三角柱の段階が深でなく潰れる場合には、三角柱底面の幅を側面の幅W'よ

て絶縁膜12を形成し、絶縁膜12上に多結晶シリコンを堆積した後、レーザ光を照射して溶解再結晶化させる。

このようにして形成されたSOI構造のシリコン層19上に、ソース領域13とドレイン領域14とチャネル領域15を構成するシリコン島16を作るためのレジスト20のパターンを形成する(第2図(e)、(b))。例えば、電子線の直接描画によりレジスト20のパターンを形成する。レジスト20のパターン形状は第2図(a)に示すように「H」形状をしている。

次に、この「H」形のレジスト20をマスクとして、シリコン層19をエッチングし、シリコン島16を形成する。「H」形の窓枠の位置にソース領域13とドレイン領域14が形成され、「H」の横棒の位置にチャネル領域15が形成される(第2図(c)、(d))。チャネル領域15が三方柱形状になるようなエッティングを行う。すなわち、第2図(d)に示すようにレジスト20の下までエッティングされ、断面が三角形形状になるようにす

る。

このような形状にするため、エッティングは異方性のみではなく、等方性エッティングと異方性エッティングが同時に行われる、いわゆるテーパエッティングであることが望ましい。例えば、ガスを SF₆ (0.3 Torr, 200 secn) とし、マイクロ波入力を 150 W でエッティングを行う。また、ほぼ三角柱形状ができるのであれば等方性エッティングでもよい。

なお、チャネル領域 15 を三角形形状にするようなエッティングを行うため、ソース領域 13 とドレイン領域 14 も第2図(c)に示すように側面にテープがついて台形形状になる。

次に、閾値電圧を制御するためにチャネル領域 15 にイオン注入を行う(第2図(e), (f))。チャネル領域 15 が三角柱形状をしているため、真上からの1回のイオン注入により、三角柱形状の2つの側面に均等にイオン注入される。したがって、一様な閾値電圧のチャネル領域 15 が実現できる。また、斜め方向からのイオン注入のよう

に、本発明の他の実施例による電界効果トランジスタを第3図に示す。

本実施例は電界効果トランジスタをバルクのシリコン基板表面に形成したものである。半導体基板 21 に形成された比較的深い2つの穴 22 を開いて、この2つの穴 22 の境界に形成された三角柱をチャネル領域 25 とする。チャネル領域 15 の両端にはソース領域 23 とドレイン領域 24 が形成され、これらソース領域 23 とドレイン領域 24 はチャネルトップ領域 26 により囲われている。チャネル領域 25 上にはゲート酸化膜 27 を介してゲート電極 28 が形成されている。

本実施例による電界効果トランジスタを製造するには、まず、エッティングにより穴 22 を形成する。この場合も、異方性エッティングと等方性エッティングを同時に使うのが望ましい。次に閾値制御のためチャネル領域にイオン注入を行う。この場合も1回のイオン注入でよい。次にチャネルトップ領域 26 を形成した後、ゲート酸化膜 27 を形成する。既いでゲート電極 28 を形成した後、

な特殊なイオン注入をする必要がなく、従来の電界効果トランジスタの製造の際のイオン注入と同様のイオン注入でよく、この点も本実施例の特徴である。

次に、例えは HCl 酸化によりゲート酸化膜 17 を形成した後に、多結晶シリコンを堆積してエッティングを行い、ゲート電極 18 を形成する(第2図(g), (h))。次に、イオン注入を行い、自己整合的にソース領域 13 とドレイン領域 14 に不純物を注入する。ゲート電極 18 によりチャネル領域 15 はマスクされているので、チャネル領域 15 に不純物が注入されないようにするための特別のマスクは不要である。

その後、通常の方法により、保護膜を形成し、この保護膜にコンタクトホールを形成し、アルミニウム配線を行って完成する。

このように本実施例の製造方法によれば、チャネル領域の断面がほぼ三角形形状をしているので、閾値電圧制御のためにチャネル領域にイオン注入するのも1回で済ませることができる。

自己整合的にソース領域 23 とドレイン領域 24 にイオン注入を行い、不純物を注入する。その後、通常の方法により、保護膜を形成し、この保護膜にコンタクトホールを形成し、アルミニウム配線を行って完成する。

本実施例の電界効果トランジスタのチャネル領域 25においても電流は三角柱形状の2つの側面を流れ、チャネル領域 25 の実質的な幅 W は、側面の幅の2倍となる。したがって、本実施例によつても、微細化による電界効果トランジスタのコンダクタスの低下を防ぐとともに、ショートチャネル効果の発生も防止することができる。

本発明は上記実施例に限らず種々の変形が可能である。例えば、上記実施例ではチャネル領域はひとつの三角柱から構成されていたが、複数の三角柱によりチャネル領域を構成してもよい。

また、上記実施例ではゲート絶縁膜として酸化膜を用意したいわゆる MOS 型としたが、空化膜等の他の絶縁膜を用いてもよいことは当然である。

【発明の効果】

以上の通り、本発明によれば、チャネル領域は断面がほぼ三角柱形状をしているため、微細化しても実質的にチャネル領域の盛を広くとることができ。したがって、微細化しても電界効果トランジスタのコンダクタンスの低下を防ぐとともに、ショートチャネル効果の発生も防止することができる。また、チャネル領域の断面がほぼ三角形形状をしているので、箇道電圧制御のためにチャネル領域にイオン注入するのも1回で済ませることができる。

4. 図面の簡単な説明

第1図(a)、(b)は本発明の一実施例による電界効果トランジスタの斜視図及びそのX-X'断面図。

第2図(a)～(d)は同電界効果トランジスタの製造方法の工程図。

第3図(a)、(b)は、本発明の他の一実施例による電界効果トランジスタの斜視図及びそのY-Y'断面図。

Y-Y'断面図、

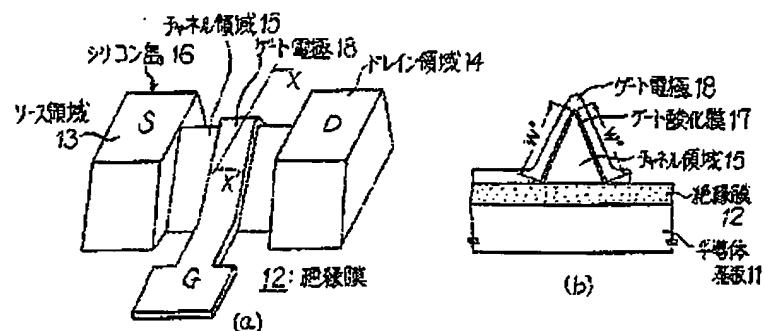
第4図(a)、(b)は、従来の電界効果トランジスタの斜視図及びそのZ-Z'断面図である。

図において、

1…半導体基板、2…絶縁膜、3…ソース領域、4…ドレイン領域、5…チャネル領域、6…シリコン島、7…ゲート酸化膜、8…ゲート電極、
11…半導体基板、12…絶縁膜、13…ソース領域、14…ドレイン領域、15…チャネル領域、16…シリコン島、17…ゲート酸化膜、18…ゲート電極、19…シリコン島、20…レジスト、

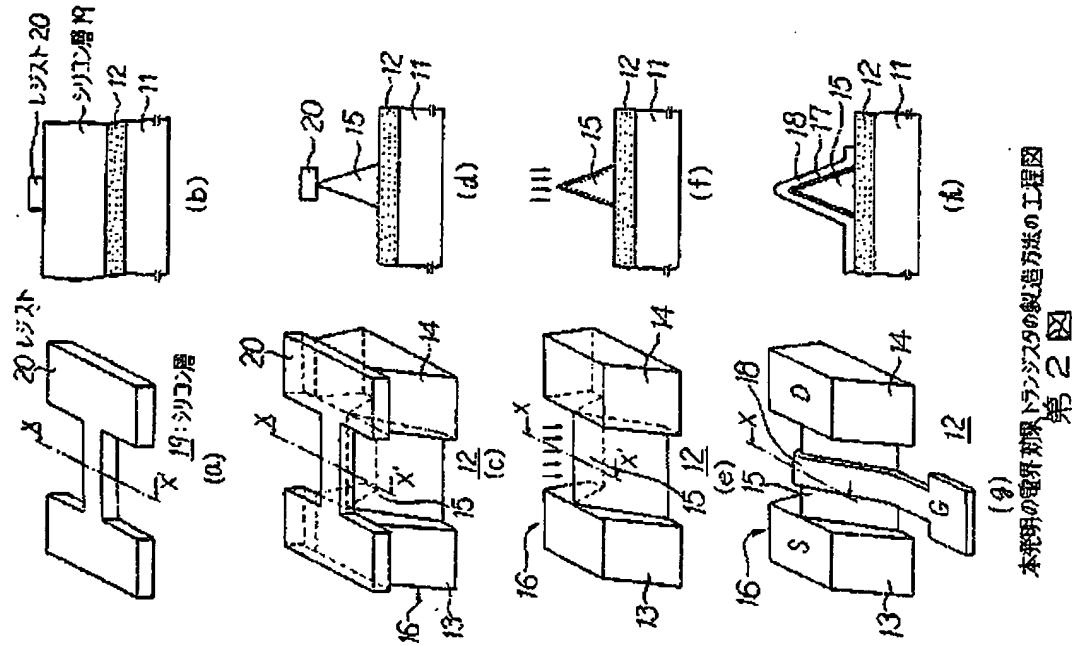
21…半導体基板、22…穴、23…ソース領域、24…ドレイン領域、25…チャネル領域、
26…チャネルトップ領域、27…ゲート酸化膜、28…ゲート電極。

代理人 呂理士 井 村 貞 一

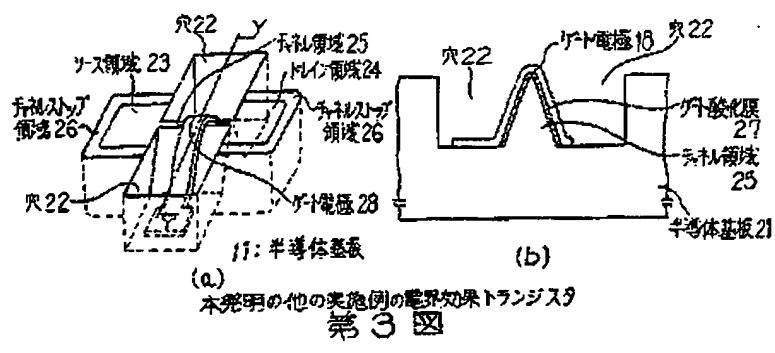



本発明の一実施例のSOI方式の電界効果トランジスタ

第1図

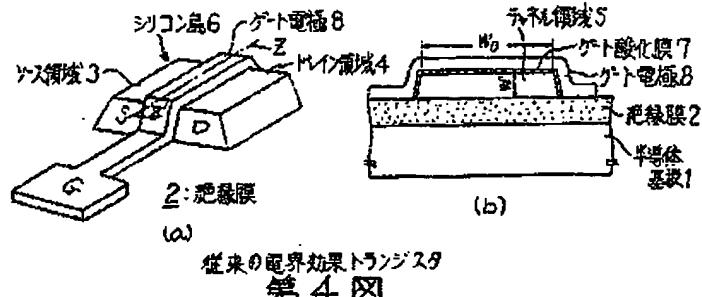


〔3〕 第2圖 本発明の電界効果トランジスタの製造方法の工程図



(d) 本発明の他の実施例の電界効果トランジスタ

第3回



従来の電界効果トランジスタ 第4図

第1頁の続き

②発明者 岩井 宗 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

③発明者 飯塚 潤一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

④発明者 鷹尾 義弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内